



San Francisco, 21 de diciembre de 2022

VISTO la Resolución de Consejo Directivo N° 481/2022, la Ordenanza N° 1549 y el proceso de acreditación de carreras de grado solicitado por CONEAU, y

CONSIDERANDO:

Que la Resolución de Consejo Directivo N° 481/2022 aprueba el nuevo modelo de planificación que incluye el programa analítico utilizado por la Facultad Regional San Francisco.

Que la Ordenanza 1549 Reglamento de Estudio para todas las carreras de grado de la UTN, en su artículo 8.2.1 establece "El programa sobre el cual versará la instancia de evaluación final será el programa analítico completo de la asignatura, aprobado por el Consejo Directivo y vigente al momento de rendir".

Que el sistema de CONEAU Global solicita como anexo en la sección de las materias curriculares de cada carrera, la carga del programa analítico, desprendido de la planificación de la asignatura.

Que el Departamento de Ingeniería Electrónica elevó los programas analíticos de las asignaturas correspondientes al Plan 2023 para su aprobación.

Que la Comisión de Enseñanza del Consejo Directivo de la Facultad Regional San Francisco, analiza la propuesta y avala la solicitud.

Que el dictado de la medida se efectúa en uso de las atribuciones otorgadas por el Estatuto Universitario.

Por ello,

EL CONSEJO DIRECTIVO DE LA FACULTAD REGIONAL SAN FRANCISCO
DE LA UNIVERSIDAD TECNOLÓGICA NACIONAL
RESUELVE:

ARTÍCULO 1°.- Aprobar el Programa Analítico de la asignatura Técnicas Digitales I, de la carrera Ingeniería Electrónica, Plan 2023, Ordenanza N° 1849 del Diseño Curricular, 2° nivel, cuya carga horaria anual es de 4 hs. y con régimen de dictado anual, según ANEXO I que se adjunta a la presente.

ARTÍCULO 2°.- Regístrese, comuníquese, cumplido archívese.

RESOLUCIÓN CD N°: 713/2022

Ing. ALBERTO R. TOLOSA
Decano

Carrera:

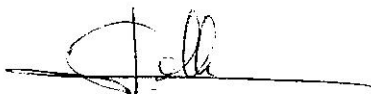
Ingeniería Electrónica

Asignatura

Técnicas Digitales I


PROGRAMA ANALÍTICO

PLAN 2023



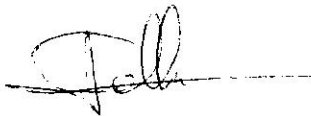
Contenido

1. Datos administrativos de la asignatura 2
2. Programa analítico eje/unidad 3



1. DATOS ADMINISTRATIVOS DE LA ASIGNATURA

Departamento:	Electrónica
Carrera/as:	Ingeniería en Electrónica
Asignatura:	Técnicas Digitales I
Nivel de la carrera	Segundo Nivel
Duración	128 hs cátedra
Bloque curricular:	Tecnologías Aplicadas
Régimen:	Anual
Área:	Técnicas Digitales



2. PROGRAMA ANALÍTICO EJE/UNIDAD

Eje Temático Nº 1: Fundamentos de la Electrónica Digital

Unidad I Introducción a la Electrónica Digital:

- Definición de digital y analógico
- Sistemas digitales
- Representación de datos
- Concepto de bit
- Representación de situaciones diferentes con una palabra binaria

Unidad II Álgebra de Boole y funciones lógicas

- Álgebra de Boole binaria: operaciones básicas AND, OR y NOT
- Leyes asociativa y distributiva
- Teoremas de álgebra de Boole: Identidades AND y OR, Teorema de dualidad, Teorema de De Morgan
- Funciones NAND, NOR, OR EXCLUSIVA y NOR EXCLUSIVA
- Compuertas lógicas
- Funciones lógicas: especificación de un problema, tabla de verdad
- Formas normales de representación de funciones: suma de minterminos y producto de maxiterminos
- Implementación de funciones: estructuras de dos niveles AND-OR y OR-AND

Unidad III Circuitos integrados lógicos

- Generalidades, terminología, aspectos comparativos: velocidad, consumo e inmunidad al ruido. Retardos de propagación, factores de carga.
- Familias lógicas TTL y CMOS
- Dispositivos Lógicos Programables: Arquitectura interna de diferentes PLD, PLA, SPLD, CPLD, FPGA, SoC's.
- Aplicaciones de los PLD.

Eje Temático Nº 2: Lógica combinacional

Unidad IV Lenguajes Descriptores de Hardware VHDL

- Introducción a los lenguajes descriptores de hardware
- Fundamentos del lenguaje VHDL: Unidades "ENTITY" y "ARCHITECTURE".
- Tipos de datos.
- Entorno de desarrollo para aplicaciones basadas en FPGA's XILINX ISE y VIVADO.

Unidad V Circuitos combinacionales

- Codificadores y decodificadores
- Multiplexores y demultiplexores
- Lenguaje VHDL: descripción concurrente, comandos WITH-SELECT-WHEN, WHEN-ELSE, FOR-GENERATE.
- Ejemplos prácticos de programación en VHDL.



Unidad VI Circuitos aritméticos

Representación de números binarios negativos: magnitud verdadera y signo, complemento a 1, complemento a 2, criterio de exceso o sesgo.
Representación de números con coma flotante: Formato estándar IEEE 754
Operaciones aritméticas en el sistema binario
Suma y resta en complemento a 2
Multiplicación y división binaria.
Circuito sumador paralelo: full adder, propagación del acarreo.
Circuitos generadores rápidos de acarreo.
Método de conversión binario a BCD: desplaza y suma 3.
Circuitos multiplicadores.
Unidades aritmético-lógicas ALU.
Descripción en VHDL de circuitos aritméticos.

Eje Temático N° 3: Lógica secuencial

Unidad VII Flip-flops

Biestables o cerrojos SR NAND y NOR
Cerrojo D o latch. Celda de memoria
Flip-flop maestro-esclavo
Flip-flop JK y T
Lenguaje VHDL: descripción secuencial, procesos. Comandos IF-THEN-ELSE, CASE-WHEN, FOR-LOOP, WAIT

Unidad VIII Circuitos secuenciales

Contadores binarios asincrónicos y sincrónicos. Aplicaciones
Registros de almacenamiento y desplazamiento. Aplicaciones
Memorias
Máquinas de estado: autómatas de Mealy y Moore.
Lenguaje VHDL: descripción de circuitos secuenciales. Análisis de gráficas de tiempo.

Eje temático N°4: Introducción a los microprocesadores y microcontroladores

Unidad IX Arquitectura interna de un microprocesador

Modelo de Von Newman, CPU, Unidad de control y Unidad de proceso. Ciclo de instrucción.
Set de instrucciones, lenguaje ensamblador.
El procesador didáctico uUTN8B22COP.

